

U n i v e r z i t e t u N i š u
E l e k t r o n s k i f a k u l t e t

Prof. dr Ivan Milentijević

mr Vladimir Ćirić

**PROJEKTOVANJE I PRIMENA SAVIJENIH
KONFIGURABILNIH SEMI-SISTOLIČKIH
POLJA**



Edicija: Monografija

Univerzitet u Nišu
Elektronski fakultet

Prof. dr Ivan Milentijević
mr Vladimir Ćirić

**PROJEKTOVANJE I PRIMENA SAVIJENIH
KONFIGURABILNIH SEMI-SISTOLIČKIH
POLJA**

Monografija

PROJEKTOVANJE I PRIMENA SAVIJENIH KONFIGURABILNIH
SEMISISTOLIČKIH POLJA

I izdanje

Autori Prof. dr Ivan Milentijević
mr Vladimir Ćirić
Izdavač Elektronski fakultet u Nišu
P.fah 73, 18000 Niš
<http://www.elfak.ni.ac.rs/>
Recenzenti Prof. dr Marjan Gušev
red. prof. Instituta za informatiku
Prirodnomatematičkog fakulteta u Skoplju
Prof. dr Teufik Tokić
red. prof. Elektronskog fakulteta u Nišu

Glavni i odgovorni urednik: Prof. dr Zoran Perić

Odlukom Nastavno-naučnog veća Elektronskog fakulteta u Nišu, br. 07/05-007/08-003 od 24.04.2008. godine, rukopis je odobren za štampu kao monografija na Elektronskom fakultetu u Nišu.

ISBN 978-86-6125-040-8

CIP - Каталогизација у публикацији
Народна библиотека Србије, Београд

004.932

МИЛЕНТИЈЕВИЋ, Иван, 1965-
Projektovanje i primena savijenih
konfigurabilnih semi-sistoličkih polja :
monografija / Ivan Milentijević, Vladimir
Ćirić. - 1. izd. - Niš : Elektronski
fakultet, 2010 (Niš : Unigraf). - X, 182 str.
: ilustr. ; 24 cm

Na vrhu nasl. str.: Univerzitet u Nišu. -
Tiraž 100. - Bibliografija: str. 175-182.

ISBN 978-86-6125-040-8
1. Ђирић, Владимир, 1977- [аутор]
а) Дигитална обрада слике

Preštampavanje ili umnožavanje ove knjige nije dozvoljeno bez pismene dozvole izdavača.

Tiraž: 100 primeraka
Štampa: Unigraf, Niš

Sadržaj

1	Uvod	1
2	Procesorska polja	5
2.1	DSP i procesorska polja	5
2.2	VLSI procesorska polja	7
2.2.1	Sistolička i wavefront polja	9
2.2.2	Kriterijumi za projektovanje sistoličkih polja	12
2.2.3	Klase VLSI sistoličkih polja	13
2.2.4	Vremenske karakteristike procesorskih polja	16
2.3	Mere kompleksnosti polja	16
3	Tehnika savijanja	19
3.1	Koncept tehnike savijanja	19
3.2	Matematički model savijanja	21
3.2.1	Savijanje neregularnih arhitektura	22
3.2.2	Savijanje regularnih arhitektura	24
3.3	Vremensko usklađivanje	30
3.4	Tehnike za minimizaciju broja registara	33
3.4.1	Analiza aktivnosti promenljivih	34
3.4.2	Alokacija tipa napred-nazad	37
3.4.3	Primeri minimizacije registara u savijenim arhitektu- rama	40
4	Savijanje semi-sistoličkih polja	49
4.1	Digitalno filtriranje	49
4.1.1	Operacija konvolucije i filtriranje signala	50
4.1.2	Digitalni filtri	51
4.2	Bit-plane FIR filter	55
4.2.1	Bit-plane polje	55

4.2.2	Arhitektura bit-plane FIR filtra	56
4.2.3	Filtriranje na bit-plane polju	59
4.2.4	Analiza potrebnih hardverskih resursa za implemen- taciju bit-plane polja	60
4.3	Savijena bit-plane semi-sistolička polja za FIR filtriranje . . .	65
4.3.1	Arhitektura savijenog bit-plane FIR filtra	65
4.3.2	Arhitektura višestruko savijenog bit-serijskog množača	69
4.3.3	Arhitektura savijenog bit-serijskog množača	73
4.3.4	Arhitektura savijenog pomeračkog bit-plane polja . . .	78
4.4	Uticaj dodele skupova savijanja na savijenu arhitekturu . . .	83
5	Projektovanje konfigurabilnih savijenih polja	85
5.1	Transformacija bit-plane polja	86
5.1.1	Transformacija DFG-a "bit-plane" arhitekture	87
5.2	Savijeno semi-sistoličko polje za FIR filtriranje sa promenljivi- vim faktorom savijanja	91
5.2.1	Dodela skupova savijanja	91
5.2.2	Sinteza savijene arhitekture	93
5.2.3	FIR filtriranje na savijenoj arhitekturi	95
5.2.4	Arhitektura savijenog transponovanog bit-plane FIR filtra sa promenljivim faktorom savijanja	97
5.3	Savijeno semi-sistoličko polje za FIR filtriranje sa promenljivi- vim brojem i dužinom koeficijenata	100
5.3.1	Dodela skupova savijanja	101
5.3.2	Sinteza savijene arhitekture	104
5.3.3	Vremensko usklađivanje toka podataka	106
5.3.4	FIR filtriranje na savijenom semi-sistoličkom polju sa izmenjivim brojem i dužinom koeficijenata	113
5.3.5	Sinteza hardvera za uvođenje bitova koeficijenata u savijenu arhitekturu	115
5.3.6	Arhitektura savijenog transponovanog bit-plane FIR filtra sa promenljivim brojem i dužinom koeficijenata .	119
5.3.7	Upravljanje brojem i dužinom koeficijenata	121
5.4	Konfigurabilno savijeno polje sa mogućnošću smanjenja fak- tora savijanja	122
6	FPGA implementacija	125
6.1	Arhitektura FPGA kola	126
6.1.1	Struktura FPGA	126
6.1.2	Spartan familija FPGA kola	126

6.2	Implementacija savijenog polja za FIR filtriranje sa promenljivim faktorom savijanja	134
6.3	Implementacija konfigurabilnog savijenog polja za FIR filtriranje	135
7	Primena savijenih arhitektura u algoritmima za kompresiju video zapisa	141
7.1	Kompresija video zapisa	141
7.1.1	MPEG i H.264 standard	143
7.1.2	Proces kodiranja i dekodiranja kod H.264 kodeka . . .	146
7.1.3	Debloking filtar	148
7.2	Implementacija H.264 debloking filtra na savijenom polju . .	152
7.2.1	Savijeno polje za uklanjanje bloking video efekata . .	153
8	Parcijalna visoka pouzdanost kod semi-sistoličkih polja	157
8.1	Osnovni principi visoke pouzdanosti	158
8.2	Projektovanje bit-plane semi-sistoličkog polja sa parcijalnom visokom pouzdanošću	161
8.2.1	Tranzitivno zatvaranje	161
8.2.2	Parcijalna visoka pouzdanost	163
8.2.3	Tranzitivno zatvaranje bit-plane polja	164
8.2.4	Primer projektovanja parcijalno pouzdanog bit-plane polja	168
8.3	Implementacija polja sa parcijalnom visokom pouzdanošću . .	169
9	Završna razmatranja i prostor za dalja istraživanja	173
	Literatura	182

Edicija: Monografija

ISBN 978-86-6125-040-8