

## PROJEKTOVANJE PROSTORNO-VREMENSKI EFIKASNE ARHITEKTURE H.264/AVC DEBLOKING FILTRA ZA MOBILNE UREĐAJE

Vladimir M. Ćirić, Ivan Z. Milentijević  
Elektronski fakultet, Univerzitet u Nišu,  
{ciric, milentijevic}@elfak.ni.ac.yu

**Sadržaj** – H.264/AVC je standard za kompresiju video zapisa koji definiše debloking filter kao komponentu za uklanjanje neželjenih bloking-efekta nastalih prilikom kompresije. Debloking filter je komponenta AVC sistema koja je zahtevna u pogledu izračunavanja koje obavlja, tako da se u hardverskim implementacijama potrebna brzina izračunavanja postiže relativno velikim zauzećem površine čipa. Cilj ovog rada je implementacija prostorno-vremenski efikasnog debloking filtra za mobilne uređaje. Debloking filter je implementiran na savijenom rekonfigurabilnom bit-plane polju. U radu je detaljno prikazan postupak implementacije filtra. U cilju ilustracije funkcionalnosti, prikazani su rezultati implementacije filtra u FPGA tehnologiji.

### 1. UVOD

Razvoj mobilnih uređaja vođen je razvojem velikog broja standarda bežičnih mreža i tehnologija treće generacije. Koristeći razvoj novih tehnologija, provajderi se takmiče u uvođenju novih usluga i servisa. Sa stanovišta projektovanja hardvera, svaki standard ili servis zahteva poseban čip ili skup elektronskih sistema objedinjenih na jednom čipu. Dodatna kola povećavaju potrebnu površinu silicijuma, povećavaju potrošnju, kao i vreme potrebno za projektovanje sistema. Ovaj problem moguće je rešiti korišćenjem rekonfigurabilnih arhitektura kod kojih je u toku izvršenja moguće promeniti izračunavanje koje arhitektura obavlja [?].

H.264/AVC (*Advanced Video Coding*) standard za kompresiju video zapisa, zbog velikog stepena kompresije koji postiže, nalazi primenu u mobilnim uređajima treće generacije. Veliki stepen kompresije često prouzrokuje neželjeni efekat koji se ogleda u pojavi oštrih ivica na rubovima blokova kvadratnog oblika na slici (bloking efekat) [?]. Debloking filter je komponenta AVC sistema koja služi za eliminaciju bloking efekta. Ova komponenta je zahtevna po pogledu izračunavanja koje obavlja i često se implementira kao banka filtra, tako da se u hardverskim implementacijama potrebna brzina i funkcionalnost postižu relativno velikom površinom čipa.

U cilju postizanja potrebnih performansi, pri projektovanju filtra često se pribegava paralelizmu i sistoličkim metodama. Zbog svoje regularnosti, sistolička polja su pogodna za VLSI implementaciju. Pri izboru strukture polja uzima se u razmatranje propusnost polja, kao i zauzeće resursa na čipu [?]. Pri projektovanju debloking filtra za mobilne uređaje potrebno je analizirati zahteve

po pogledu propusnosti arhitekture, i na osnovu toga projektovati polje sa što manjom kompleksnošću.

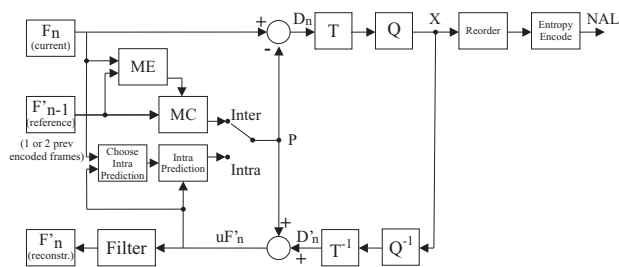
Cilj ovog rada je implementacija prostorno-vremenski efikasne arhitekture debloking filtra za mobilne uređaje. Debloking filter će biti implementiran na savijenom rekonfigurabilnom bit-plane polju [?]. U radu će detaljno biti prikazan postupak implementacije filtra na savijenom polju. U cilju ilustracije funkcionalnosti, u radu će biti prikazani rezultati implementacije filtra na FPGA čipu. Poređenje sa poznatim debloking arhitekturama će takođe biti dato.

### 2. H.264/AVC DEBLOKING ALGORITAM

U cilju ilustracije rada H.264/AVC video kodeka i uloge debloking filtra u AVC algoritmu, u ovom poglavlju dat je kratak kratak pregled H.264/AVC video kodeka.

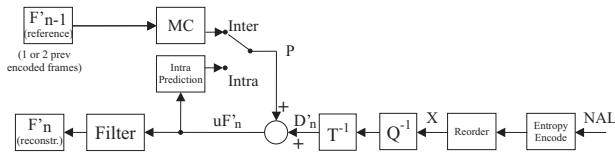
Funkcionalni blok dijagram H.264 koder i dekodera prikazani su na slici ?? i ??, respektivno. H.264 koder [?] deli sliku u grupe tačaka kvadratnog oblika, sa 16x16 tačaka u svakoj grupi, tzv makroblok. Svaki makroblok se dalje deli u blokove od 4x4 tačke. Funkcionalni blok, označen sa T, transformiše blokove tačaka u blokove koeficijenata, koji se dalje kodiraju (slika ??), odnosno dekodiraju (slika ??). Transformacija T je u većini slučajeva diskretna kosinusna transformacija (DCT), koju prati kvantizacija koeficijenata (blok Q, slika ?? i ??) [?].

Cilj koji je potrebno postići u mobilnim komunikacijama je mali protok podataka, što se postiže relativno velikim stepenom kompresije. Stepem kompresije proporcionalan je parametru kvantizacije Q (slika ??). Međutim, veliki stepen kvantizacije uvodi neželjeni efekat koji se ogleda u pojavi oštrih ivica na granicama blokova prilikom dekodiranja slike - bloking efekat.



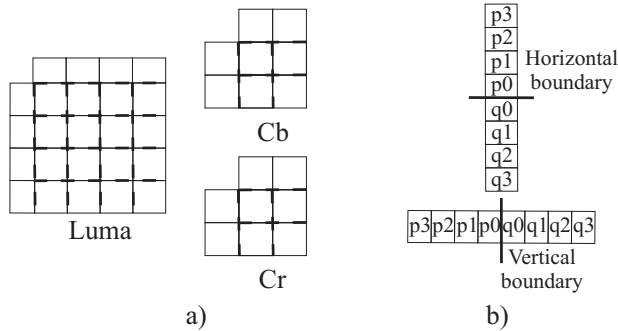
Slika 1. Funkcionalni blok dijagram H.264 enkodera

U cilju smanjenja bloking efekta, koderu i dekodera je pridružen debloking filter (slika ?? i ??). Debloking fil-



Slika 2. Funkcionalni blok dijagram H.264 dekodera

ter filtrira horizontalne i vertikalne ivice između susednih blokova na način prikazan na slici ??, [?].



Slika 3. H.264 makroblok: a) ivice makrobloka koje se filtriraju; b) raspored piksela u okolini granica blokova

Signal na izlazu debloking filtra zavisi od jačine ivice između blokova (slika ??) [?], [?]. ISO/ITU 14496-10 standard definiše različite jačine ivica i daje osnovne preporuke za filtriranje, bez zalaženja u detalje i sam dizajn filtra. Kako je predloženo u [?], debloking filter se može implementirati pomoću pet različitih filtera sa konačnim impulsnim odzivom (*finite impulse response* – FIR). Filtri su sledeći [?]: mod 4 filter, najjači filter (7-tap filter koji utiče na 8 piksela); mod 3 filter, jaki filter (7-tap filter koji utiče na 6 piksela); mod 1 i 2 filtri (5-tap filter koji utiču na 5 piksela); mod 0 (5-tap filter koji utiče na 4 piksela, ili 3-tap filter koji utiče na 2 piksela).

U narednom poglavlju prikazan je princip FIR filtriranja na savijenom rekonfigurabilnom *bit-plane* semi-sistolickom polju.

### 3. FIR FILTRIRANJE NA SAVIJEJENOM REKONFIGURABILNOM BIT-PLANE POLJU

Izlazne reči  $\{y_i\}$  FIR filtra određuju se na sledeći način:

$$y_i = c_0x_i + c_1x_{i-1} + c_2x_{i-2} + \dots + c_{k-1}x_{i-k+1} \quad (1)$$

gde su  $c_0, c_1, c_2, \dots, c_{k-1}$  koeficijenti filtra, a  $\{x_i\}$  ulazne reči. Izraz (??) može biti realizovan na više načina. U slučaju da je potrebno postići visoke performanse po pogledu propusnosti, filter se može implementirati na sistoličkom polju. Sistolicka polja koriste paralelizam, čime postiču veliku propusnost. Međutim, zbog mnoštva procesnih elemenata kojima se obavlja izračunavanje, sistolička polja neretko zauzimaju veliku površinu silicijuma.

Tehnika savijanja [?], ili vremensko multipleksiranje izvršenja operacija je tehnika za efikasno deljenje resursa

prilikom sinteze hardvera kod koga se teži smanjenju zauzeća prostora na čipu na račun vremena izvršenja. Osnovni termini su skup savijanja, faktor savijanja i red savijanja. Skup savijanja ( $S$ ) je uređeni skup od  $N$  vremenski multipleksiranih operacija koje izvršava ista funkcionalna jedinica (FJ). Broj operacija koje izvršava ista FJ naziva se faktor savijanja ( $N$ ). Red savijanja ( $v$ ) operacije  $H_v$  je vremenska instanca u kojoj FJ savijenog sistema izvršava operaciju  $H_v$  [?].

Rekonfigurabilni savijeni *bit-plane* FIR filter (*Configurable Folded bit-plane FIR Filter* – C3F) [?] je savijeno semi-sistolicko polje koje obavlja izračunavanje (??). Funkcionalni blok dijagram C3F filtra je prikazan na slici ?? a). Tok podataka kroz C3F filter je prikazan na slici ?? b). Korišćena je sledeća notacija:  $k_c$  – broj koeficijenata filtra,  $m_c$  – broj bitova koeficijenata,  $c_i^j$  – bit koeficijenta  $c_i$  težine  $2^j$ ,  $N$  – faktor savijanja,  $k$  – broj skupova savijanja (FJ savijenog sistema),  $n$  – širina ulaznih reči  $\{x_i\}$ ,  $y$  – širina izlaznih reči  $\{y_i\}$ ,  $L$  – ukupan broj operacija potrebnih za izračunavanje izraza (??).

Svaka kolona filtra sa slike ??a predstavlja jednu FJ koja izvršava operacije iz dodeljenog skupa savijanja [?]. FJ savijenog filtra obavlja operacije množenja ulazne reči  $x_i$  i jednog bita koeficijenta  $c_i^j$ . Tako određeni parcijalni proizvod FJ dodaje prethodno izračunatom proizvodu (slika ??b). Suma parcijalnih proizvoda dobijenih u funkcionalnim jedinicama  $S_i$  ( $i = 1, 2, \dots, k - 2$ ), slika ??b, uvodi se u FJ  $S_{k-1}$ , iz koje se u narednom taktom intervalu parcijalni proizvod vraća u FJ  $S_0$ . Izračunavanje traje

$$L = k_c m_c = kN \quad (2)$$

taktnih intervala. Po jedna izlazna reč filtra  $\{y_i\}$  se dobija na svakih  $N$  taktnih intervala.

Modul za uvođenje bitova koeficijenata (MUK, slika ??a) uvodi bitove koeficijenata na način prikazan na slici ??b, [?].

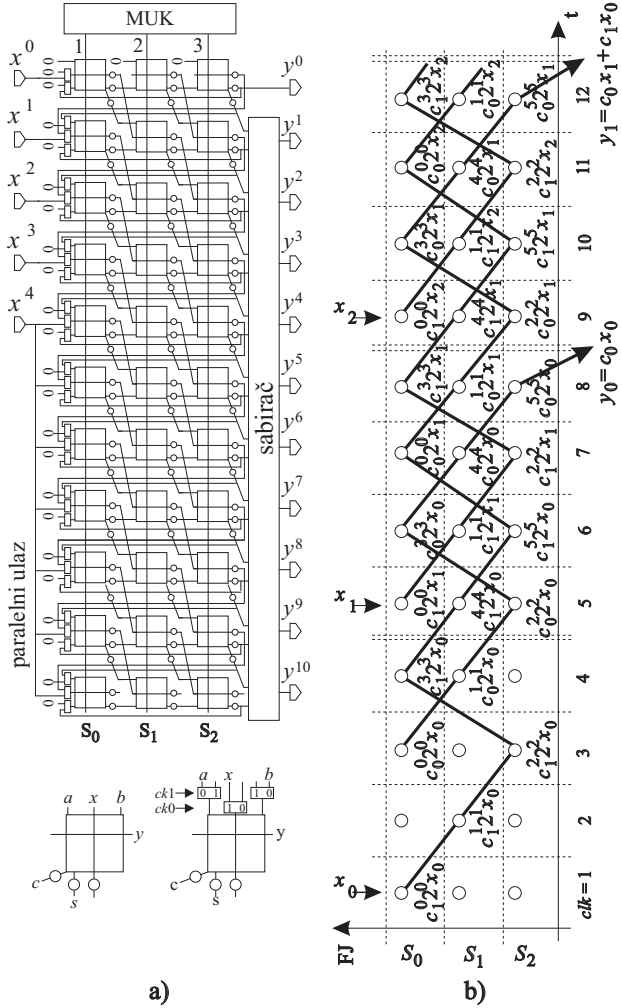
### 4. IMPLEMENTACIJA DEBLOKING FILTRA NA SAVIJEJENOM REKONFIGURABILNOM POLJU

Primenom tehnike savijanja na arhitekturu *bit-plane* FIR filtra [?] (slika ??a) uveden je uslov

$$k_c \neq k. \quad (3)$$

Arhitektura sa slike ??a je projektovana tako da dozvoljava promenu broja koeficijenata  $k_c$  na račun dužine koeficijenata  $m_c$ , uz očuvanje uslova (??). Konfiguracija se postiče pravilnim rasporedom bitova koeficijenata u modulu za uvođenje koeficijenata sa slike ??a, [?]. Kako je predloženo u [?], faktor savijanja  $N$  utiče jedino na širinu modula za uvođenje koeficijenata, a ne i na veličinu samog polja. Na osnovu (??) ovu činjenicu je moguće iskoristiti za ubrzanje rada sistema u slučaju da su za izračunavanje

potrebni koeficijenti manje dužine od nominalne. Modul za uvođenje bitova koeficijenata sa mogućnošću promene faktora savijanja ( $N$ ) označen je sa MUK+ [?].

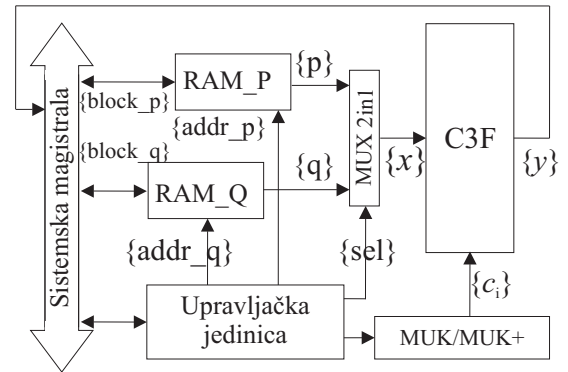


Slika 4. Rekonfigurabilni savijeni *bit-plane* FIR filter: a) funkcionalni blok dijagram za  $k = 3$ ; b) tok podataka kroz filter za  $k = 3$ ,  $N = 4$ ,  $k_c = 2$  i  $m_c = 6$

Kao što je predloženo u [?], zaviso od jačine debloking filtra, filtriranje je moguće obaviti korišćenjem filtra sa sledećim koeficijentima:  $\{1,1,1,2,1,1,1\}/8$  za modove 4 i 3,  $\{1,1,4,1,1\}/8$  za modove 2 i 1, bilo  $\{1,1,4,1,1\}/8$  ili  $\{1,2,1\}/4$  za mod 0. Ukupan broj operacija  $L$ , na osnovu (??), za modove 3 i 4, može se odrediti kao proizvod  $m_c$ ,  $\max(c_i) \leq 2^{c_i} \Rightarrow m_c = 2$ , i  $k_c = 7$ , što daje  $L = 14$ . Na isti način moguće je odrediti za mod 1 i 2  $L = 15$ , i za mod 0  $L = 15$  ili  $L = 16$ . Na osnovu (??), čak i uz mogućnost promene faktora savijanja  $N$ , nije moguće naći par  $k$  i  $N$  kojim se može implementirati 7-tap filter sa  $m_c = 2$  i 5-tap filter sa  $m_c = 3$ . Zbog toga je za potrebe implementacije debloking filtra za modove 4 i 3 dužina koeficijenata proširena za jedan bit ( $m_c = 3$ ), tako da se za minimalnu potrebnu dimenziju polja filtra dobija  $k_c = 7$  i  $m_c = 3$  ( $L = 21$ ). Međutim, s obzirom na (??), mod 0 filter je neophodno realizovati kao 4-tap filter kod koga je  $c_3 = 0$ . Arhitektura debloking filtra realizovanog na rekonfigurabilnom savijenom *bit-plane* polju sa  $k = 3$  i  $N = 7$  je prikazana na slici ??.

## 5. REZULTATI FPGA IMPLEMENTACIJE I POREĐENJE DOBIJENIH REZULTATA

U cilju ilustracije funkcionalnosti i provere mogućnosti filtra da podrži zahteve mobilnih uređaja, debloking filter sa slike ?? je opisan u VHDL-u i implementiran na FPGA čipu. Arhitektura sa slike ?? implementirana je sa modulom za uvođenje koeficijenata MUK i MUK+ za  $k = 3$  i  $N = 7$ . Prilikom implementacije dobijeni su sledeći rezultati: taktni interval – 7.02ns, broj gejtova – 1.78 kGate. RAM memorije u kojima se smeštaju blokovi slike (RAM\_P i RAM\_Q, slika ??) nisu uzete u razmatranje. Vrednost faktora savijanja ( $N$ ), broj tapova filtra ( $k_c$ ) i dužina koeficijenata ( $m_c$ ) koje je moguće konfigurisati na polju sa MUK+ za  $k = 3$  i  $N_{max} = 7$ , kao i vreme rekonfiguracije, inicijalna latencija i propusnost filtra dati su u tabeli 1.



Slika 5. Arhitektura debloking filtra

Tabela 1. Rezultati implementacije i mogućnost konfiguracije C3F filtra za  $k = 3$  i  $N_{max} = 7$

$N$	$k_c$	$m_c$	vreme rekonf. [clk]	inic. lat. [MHz]	propusnost [MHz]
7	7	3	21	3	20.41
5	5	3	21	3	28.57
4	4	3	21	3	35.61

Na osnovu JVT referentnog H.264/AVC softverskog dekodera [?] razvijen je softver u C-u koji generiše ulazne vektore za debloking filter sa slike ???. U cilju poređenja rezultata, u tabeli 2 dat je uporedni prikaz rezultata implementacije arhitekture debloking filtra iz [?] i [?], kao i arhitekture debloking filtra sa C3F filtrom za varijante implementacije debloking filtra sa slike ?? sa MUK i MUK+ modulom.

U tabeli 2 prikazan je broj taktova koji je potreban za filtriranje jednog makrobloka. U slučaju filtra sa MUK modulom, faktor savijanja  $N$  je konstantan ( $N = 7$ ) pa je rezultat od 7552 taktne intervale po makrobloku konstantan bez obzira na sadržaj slike koji se filtrira. Za slučaj filtra sa MUK+ modulom, faktor savijanja u zavisnosti od jačine filtra menja se na način prikazan u tabeli 1. Rezultat od 5572 ciklusa takta po MB je prosečna vrednost za slučaj filtriranja poznate *Foreman* video sekvence. U na-

U jgorem slučaju kada se sve ivice blokova filtriraju filtrom sa faktorom savijanja  $N = 7$  rezultat za MUK+ bio bi identičan rezultatu filtra sa MUK (7552). Najbolji slučaj je idealan slučaj kada se sve ivice blokova filtriraju najslabijim filtrom sa faktorom savijanja  $N = 4$  (4480 taktnih intervala po MB).

**Tabela 2.** Usporedni prikaz rezultata implementacije H.264/AVC debloking filtra

	Yuwen Huang arh. [?]	Bin Sheng arh. [?]	C3F arh. sa MUK	C3F arh. sa MUK+
Tehnika	0.25	0.25	FPGA	FPGA
Učest.	100MHz	100MHz	100MHz	100MHz
Br. gejtova	20.66K	24.00K	1.61K**	1.78K**
Broj taktova po MB	614	446	7552	5572
AT*	12685	10704	12158	9918
QCIF	/	/	161.8	181.3
CIF	/	/	40.9	44.8
4CIF	/	/	9.7	11.4
HDTV	45.2	62.3	4.3	5.1

\* Za AT meru korišćen je [br. gejtova]x[br.taktova po MB]

\*\* Broj gejtova je određen sintezom hardvera u Xilinx WebPack okruženju

\*\*\* QCIF (176x144), CIF (352x288), 4CIF (704x576), HDTV (1280x720) vrednosti su date u [fps]

Rezultati dati u tabeli 2 pokazuju da se filtriranje obavlja na približno 10 puta manjoj površini silicijuma u odnosu na arhitekture predložene u [?] i [?]. AT (*Area-Time*) mera za arhitekture sa MUK je približno ista kao kod arhitekture predložene u [?]. Arhitektura sa MUK+ pokazuje 21% bolju AT meru od arhitekture [?] i 7.3% bolju AT meru od arhitekture predložene u [?]. Savijena arhitektura pokazuje znatno lošije performanse po pogledu broja slika koji može obraditi u sekundi u HDTV rezoluciji. Međutim, za primenu u mobilnim uređajima, gde rezolucija nije veća od CIF formata [?] obe arhitekture mogu obraditi zadovoljavajući broj slika u sekundi (40.9 i 44.8). Broj slika u sekundi koji je potreban da video sekvenca teče bez zastoja je 30fps. Arhitektura sa MUK ovaj rezultat za slike u CIF formatu može postići pri taktoj učestanosti od 74MHz, dok arhitektura sa MUK+ isti broj slika u sekundi obrađuje pri taktu od 67MHz.

## 6. ZAKLJUČAK

U ovom radu prikazana je studija efikasnosti tehnike savijanja po pogledu zauzeća resursa na čipu i propusnosti arhitekture na primeru projektovanja H.264/AVC debloking filtra za mobilne uređaje. U radu je prikazano projektovanje arhitekture koja zauzima izuzetno malo resursa sa čipu i u stanju je vrši funkciju debloking filtra u realnom vremenu za ciljne aplikacije. Postupak projektovanja je detaljno prikazan. U cilju ilustracije funkcionalnosti, u radu su prikazani rezultati implementacije filtra na FPGA čipu.

## LITERATURA

- [1] I. Milentijevic, V. Ciric, "Assignments of Folding Sets for Adaptive FIR Filtering on Folded Array", Proceedings of the WPS-DSD 2003, 29th Euromicro Conference, Belek, Turkey, September 2003, pp. 21-22.
- [2] I. Richardson, "H.264 and MPEG-4 Video Compression - Video Coding for Next Generation Multimedia", John Wiley & Sons, In., New York, 2003.
- [3] Y-C. Lin, F-C. Lin, "Classes of Systolic Arrays for Digital Filtering", Int. J. Electronics, Vol. 70, No. 4, 1991, pp. 729-737.
- [4] Z. Yu, J. Zhang, "Video Deblocking with Fine-grained Scalable Complexity for Embedded Mobile Computing", International Conference on Signal Processing, Vol. 2, September 2004, pp. 1173 - 1178.
- [5] K. K. Parhi, "VLSI Digital Signal Processing Systems (Design and Implementation)", John Wiley & Sons, In., New York, 2000.
- [6] V. Ciric, I. Milentijevic, "Coefficient Bit Reordering Method for Configurable FIR Filtering on Folded Bit-Plane Array", 8th EUROMICRO Conference on Digital System Design, Porto, Portugal, September 2005, pp. 135-138.
- [7] JVT software JM10.2, January 2006.
- [8] Y. Huang, T. Chen, "Architecture Design for Deblocking Filter in H.264/AVC", Proceedings of ICME, Baltimore, Maryland, USA, July 2003, pp. 692-696.
- [9] B. Sheng, W. Gao, D. Wu, "An Implemented Architecture of Deblocking Filter for H.264/AVC", International Conference on Image Processing (ICIP), 2004, pp. 665-668.

**Abstract** – H.264/AVC is a new international standard for the compression of natural video images, in which deblocking filter has been adopted to remove blocking artifacts. The deblocking filter is either time or area consuming system component. The goal of this paper is a design of area-time efficient H.264/AVC deblocking filter suitable for application in mobile devices. Area-time tradeoff is enabled by using configurable folded bit-plane filter as a core for deblocking filter implementation. System's architecture is presented in detail, as well as the architecture of folded deblocking filter. With aim to illustrate functionality and tradeoffs related to the occupation of the chip, resources and achieved throughputs, we present results of FPGA prototyping.

## DESIGN OF AREA-TIME EFFICIENT H.264/AVC DEBLOCKING FILTER FOR MOBILE DEVICES

Vladimir M. Ćirić, Ivan Z. Milentijević