

Univerzitet u Nišu
Elektronski fakultet

Vladimir Ćirić

PROJEKTOVANJE PARCIJALNO
VISOKOPOUZDANIH PROCESORSKIH
POLJA

Doktorska disertacija

Niš, 2010.

Projektovanje parcijalno visokopouzdatih procesorskih polja

Vladimir Ćirić

– Doktorska disertacija –

Niš, 2010.

Zahvaljujem se svom mentoru, prof. dr Ivanu Milentijeviću, na trudu i vremenu, i na svojoj pomoći koju mi je pružio, smernicama, revizijama, komentarima i mnogobrojnim diskusijama u toku izrade ovog rada. Takođe se zahvaljujem prof. dr Aleksandru Cvetkoviću na pomoći pri formulaciji i reviziji matematičkih izraza, definicija i teorema u kojima su izloženi rezultati ovog rada. Zahvaljujem se prof. dr Emini Milovanović i prof. dr Miletu Stojčevu na savetima u toku izrade rada. Zahvalan sam kolegama iz laboratorije L3 na svojoj stručnoj i tehničkoj podršci koju su mi pružili.

Naravno, neizmerno sam zahvalan svojoj supruzi Milici na podršci i razumevanju, kao i svojim roditeljima i sestri.

Sadržaj

1	Uvod	1
2	Digitalna obrada signala	7
2.1	DSP algoritmi	8
2.1.1	Konvolucija	8
2.1.2	Korelacija	11
2.1.3	Digitalno filtriranje	13
2.1.4	Diskretna kosinusna transformacija	14
2.2	Reprezentacija DSP algoritama	17
2.2.1	Blok dijagrami	18
2.2.2	Graf toka signala	19
2.2.3	Graf toka podataka	20
2.2.4	Graf zavisnosti	22
2.3	Sistolička polja	24
2.3.1	Procesorska polja	24
2.3.2	Klase i topologije sistoličkih polja	26
2.3.3	Semi-sistolička polja	29
2.3.4	Primeri mapiranja DSP algoritama	32
2.4	Implementacija prototipa DSP sistema	44
2.4.1	Arhitektura FPGA kola	44
2.4.2	Spartan familija FPGA kola	45
2.4.3	Rezultati implementacije	49
3	Pouzdanost sistema i tolerancija na greške	55
3.1	Nanotehnologija	56
3.1.1	Ograničenja litografije	56
3.1.2	VLSI nanoelektronika	58
3.1.3	Otpornost na defekte u nanotehnologiji	60
3.2	Defekt, greška, otkaz	62
3.3	Tehnike za povećanje pouzdanosti sistema	64
3.3.1	Hardverska redundansa	65

3.3.2	Informaciona, vremenska i softverska redundansa	71
3.4	Analiza pouzdanosti sistema	72
3.4.1	Minimalna jedinica zamene	72
3.4.2	Pouzdanost sistema sa N jedinica zamene	73
3.5	Tolerancija grešaka	76
3.5.1	Neprecizna izračunavanja	76
3.5.2	Sistemi tolerantni na greške	78
3.5.3	Primer sistema tolerantnog na greške	79
4	Parcijalno visokopouzdati sistemi	81
4.1	Metrika otkaza sistema	82
4.2	Definicija parcijalno visokopouzdatih sistema	85
4.3	Tranzitivna zatvaranja	89
4.3.1	Definicija tranzitivnog zatvaranja	90
4.3.2	Konstrukcija tranzitivnog zatvaranja digrafa: Warshallov algoritam	91
4.3.3	Tranzitivno zatvaranje <i>bit-plane</i> FIR filtra	95
4.4	Primer projektovanja parcijalno visokopouzdanog bit-plane FIR filtra	101
4.5	Implementacija parcijalno visokopouzdanog bit-plane FIR filtra	108
5	Prinos parcijalno visokopouzdatih sistema	113
5.1	Prinos ET i PDT sistema	114
5.2	Poređenje prinosa ET i PDT sistema	118
5.2.1	Uticao broj podistema na prinos PDT sistema	121
5.3	Netolerantna oblast ortogonalnog polja	123
6	Primeri primene parcijalno visokopouzdatih sistema	129
6.1	Parcijalno visokopouzdana 1D polja	129
6.1.1	Jednosmerno PDT polje za množenje matrice i vektora	130
6.1.2	Dvosmerno PDT polje za množenje matrice i vektora .	138
6.2	Projektovanje parcijalno visokopouzdanog heksagonalnog polja za množenje brojeva	142
6.2.1	Primer primene Hamingove metrike	143
6.2.2	Min-plus algebra	146
6.2.3	Primer primene Euklidske metrike	149
6.2.4	Analiza prinosa parcijalno visokopouzdanog heksago- nalnog polja za množenje brojeva	158
6.2.5	Rezultati implementacije parcijalno visokopouzdanog heksagonalnog polja za množenje brojeva	161
6.3	Projektovanje parcijalno visokopouzdanog polja sa PDT ćelijama	162

7 Zaključak	167
Literatura	182
Dodatak A	183

Lista slika

2.1	Vizuelizacija konvolucije	10
2.2	Linearni FIR filter sedmog reda	15
2.3	Primer DCT transformacije	16
2.4	Primer inverzne DCT transformacije	16
2.5	Blok dijagram FIR filtra trećeg reda	19
2.6	Blok dijagram FIR filtra trećeg reda sa emisionom linijom za uvođenje ulaznih podataka	19
2.7	SFG FIR filtra trećeg reda	21
2.8	Primer grafa toka podataka	21
2.9	DFG reprezentacija filtra trećeg reda	22
2.10	DG reprezentacija filtra trećeg reda	23
2.11	Klasifikacija paralelnih računara	24
2.12	SIMD i MIMD arhitektura	25
2.13	Osnovna konfiguracija sistoličkih polja	26
2.14	Linearna sistolička polja	28
2.15	Pokrivanje površine	30
2.16	Arhimedova pokrivanja	31
2.17	Semi-sistoličko 4^4 polje	31
2.18	Linearno jednosmerno polje za množenje matrice i vektora	33
2.19	Linearno dvosmerno polje za množenje matrice i vektora	33
2.20	Tok podataka kroz 1-D dvosmerno polje	34
2.21	Algoritam za množenje brojeva	35
2.22	Sistoličko 3^6 polje za množenje brojeva	36
2.23	Wavefront 6^3 polje za množenje brojeva	38
2.24	Blok dijagram bit-plane arhitekture	39
2.25	Funkcionalni blok dijagram BP arhitekture	40
2.26	Graf toka podataka BP arhitekture	41
2.27	Tok podataka kroz BP FIR filter	43
2.28	Uopštena struktura FPGA čipa	45
2.29	Blok dijagram osnovnih gradivnih blokova Spartan-II čipova	46
2.30	Blok šema SL Spartan-II čipa	48

2.31	Implementacija jednosmernog polja za množenje matrice i vektora na SpartanII XCS200 čipu	51
3.1	Struktura MOSFET tranzistora	57
3.2	Struktura grafitne nanocevi	59
3.3	Struktura memorije u nanotehnologiji	59
3.4	Langmur-Blodžetova tehnika za postavljanje paralelnih nanocevi na čip	60
3.5	Koraci pri CAD projektovanju FPGA kola	62
3.6	Uzročno - posledične veze defekta, greške i otkaza sistema . . .	63
3.7	Karakteristike defekta	64
3.8	Model pasivne hardverske redundanse sa tri istovetna modula i jednim glasačem	66
3.9	Model za eliminaciju jedinstvene tačke otkaza korišćenjem tri nezavisna glasača	67
3.10	Uporedni prikaz pouzdanosti različitih metoda projektovanja .	68
3.11	Model aktivne hardverske redundanse sa jednim rezervnim modulom	69
3.12	Osnovni princip vremenske redundanse	71
3.13	Pozicija ET i FT sistema u modelu defekt-greška-otkaz	78
3.14	Rezultati subjektivne ocene kvaliteta digitalne telefonske sekretarice sa defektnom memorijom	80
4.1	Primer grafa	85
4.2	Graf sa pridruženim izlaznim čvorovima	86
4.3	Primer skupa značajnih čvorova	87
4.4	Primer funkcije uređenja skupa	87
4.5	Digraf G i njegovo tranzitivno zatvaranje G^*	91
4.6	Konstrukcija grafa po Warshallovom algoritmu	91
4.7	Warshallov algoritam	92
4.8	Primer matrične reprezentacije grafa	92
4.9	Floyd-Warshallov algoritam	93
4.10	Warshallov algoritam za određivanje tranzitivnog zatvaranja na osnovu matrice susedstva	94
4.11	Primer tranzitivnog zatvaranja	95
4.12	Graf G toka podataka <i>bit-plane</i> FIR filtra	97
4.13	Modifikovani graf toka podataka <i>bit-plane</i> FIR filtra	98
4.14	Graf povezanosti kolona <i>bit-plane</i> FIR filtra	99
4.15	Graf povezanosti vrsta <i>bit-plane</i> FIR filtra	99
4.16	Osnovno polje <i>bit-plane</i> FIR filtra za projektovanje PDT <i>bit-plane</i> polja	102

4.17	Dijagram toka projektovanja PDT sistema	103
4.18	Primer modifikovanog grafa propagacije greške <i>bit-plane</i> FIR filtra	104
4.19	Primer tranzitivnog zatvaranje <i>bit-plane</i> FIR filtra	105
4.20	Primer mapiranja elemenata tranzitivnog zatvaranja na elemente mape uticaja greške	106
4.21	Graf parcijalno visokopouzdanog arhitekture <i>bit-plane</i> FIR filtra	108
4.22	Primer parcijalno visokopouzdanog <i>bit-plane</i> FIR filtra	108
4.23	Relativni odnos resursa potrebnih za implementaciju arhitektura u funkciji od stepena parcijalne visoke pouzdanosti α	111
5.1	Uporedni prikaz prinosa ET i PDT polja za slučaj SC3 tehnike	117
5.2	Uporedni prikaz prinosa ET i PDT polja za slučaj TMR tehnike	118
5.3	Grafik zavisnosti verovatnoće za koju se prinosi ET i PDT tehnike sa SC3 ćelijama seku	121
5.4	Grafik zavisnosti verovatnoće za koju se prinosi ET i PDT tehnike sa TMR ćelijama seku	122
5.5	Tranzitivno zatvaranje i određivanje kardinalnosti skupa $\aleph(\mathbf{P}_{DT}(1))$ <i>bit-plane</i> FIR filtra	125
5.6	Grafik funkcije $\Gamma(\alpha)$ <i>bit-plane</i> FIR filtra	127
5.7	Funkcija $P(\alpha, T)$ <i>bit-plane</i> FIR filtra za konstantno T	128
6.1	Grafovi mogućih propagacija grešaka kroz jednosmerno 1D polje za množenje matrice i vektora	131
6.2	Arhitektura parcijalno visokopouzdanog jednosmernog 1D polja za množenje matrice i vektora	134
6.3	Uporedni prikaz $\Gamma(\alpha)$ funkcija 1D jednosmernog polja i 2D polja sa 4^4 topologijom	135
6.4	Promena verovatnoće pojave defekta za koju se prinosi ET i PDT tehnike seku kod 1D jednosmernog polja	136
6.5	Grafik uštede resursa potrebnih za implementaciju 1D jednosmernog PDT polja za množenje matrice i vektora	138
6.6	Graf propagacije grešaka kroz dvosmerno 1D polje za množenje matrice i vektora	139
6.7	Ćelija heksagonalnog polja za množenje brojeva	142
6.8	Graf propagacije grešaka tipa "A" kroz 2D 3^6 polje za množenje brojeva	143
6.9	Graf propagacije grešaka tipa "B" kroz 2D 3^6 polje za množenje brojeva za Hamingovu metriku	145
6.10	Težinski uticaj grešaka kod heksagonalnog 2D polja za množenje brojeva	150

6.11	Težinski graf propagacije grešaka kroz heksagonalno 2D polje za množenje brojeva	150
6.12	DFG parcijalno visokopouzdanog heksagonalnog polja za množenje brojeva	158
6.13	Grafički prikaz funkcije $\Gamma(\alpha)$ parcijalno visokopouzdanog heksagonalnog polja za množenje brojeva	160
6.14	Verovatnoća pojave defekta za koju ET i PDT tehnike imaju isti prinos u funkciji od α kod PDT heksagonalnog polja za množenje brojeva	160
6.15	Grafik uštede resursa potrebnih za implementaciju parcijalno visokopouzdanog heksagonalnog polja za množenje brojeva . . .	162
6.16	Ćelija jednosmernog 1D polja za množenje matrice i vektora . . .	163
6.17	Parcijalno visokopouzdanano jednosmerno 1D polje za množenje matrice i vektora sa parcijalno visokopouzdanim ćelijama . . .	165
6.18	Grafički prikaz rezultata implementacije PDT jednosmernog 1D polja za množenje matrice i vektora sa PDT ćelijama . . .	166

Lista tabela

2.1	Primeri tipičnih DSP algoritama i njihove primene	9
2.2	Kapacitet raspoloživog blok RAM-a za Spartan-II	49
2.3	Rezultati FPGA implementacije jednosmernog polja za množenje matrice i vektora	50
2.4	Rezultati FPGA implementacije dvosmernog polja za množenje matrice i vektora	51
2.5	Rezultati FPGA implementacije heksagonalnog polja za množenje brojeva	52
2.6	Rezultati implementacije semi-sistoličkog BP FIR filtra	53
4.1	Dimenzije implementiranih <i>bit-plane</i> polja	109
4.2	Rezultati implementacije <i>bit-plane</i> FIR filtra	110
5.1	Cene upotrebljivog čipa za različite verovatnoće otkaza p	117
6.1	Rezultati implementacije jednosmernog 1D PDT polja za množenje matrice i vektora sa SC3 tehnikom	137
6.2	Rezultati implementacije jednosmernog 1D PDT polja za množenje matrice i vektora sa TMR tehnikom	137
6.3	Rezultati implementacije dvosmernog 1D PDT polja za množenje matrice i vektora sa SC3 tehnikom	142
6.4	Rezultati implementacije dvosmernog 1D PDT polja za množenje matrice i vektora sa TMR tehnikom	142
6.5	Rezultati implementacije parcijalno visokopouzdanog heksagonalnog polja za množenje matrice i vektora sa TMR tehnikom	161
6.6	Rezultati implementacije parcijalno visokopouzdanog heksagonalnog polja za množenje matrice i vektora sa SC3 tehnikom	161
6.7	Rezultati FPGA implementacije parcijalno visokopouzdanog jednosmernog 1D polja za množenje matrice i vektora sa parcijalno visokopouzdanim ćelijama	165

Lista skraćenica

DSP –	Digitalna obrada signala (eng. <i>Digital Signal Processing</i>)
ILP –	Paralelizam na nivou instrukcija (eng. <i>Instruction Level Parallelism</i>)
LLP –	Paralelizam na nivou petlji (eng. <i>Loop Level Parallelism</i>)
FT –	Otpornost na otkaze (eng. <i>Fault Tolerance</i>)
DT –	Tolerantnost na defekte (eng. <i>Defect Tolerance</i>)
ET –	Tolerantnost na greške (eng. <i>Error Tolerance</i>)
VLSI –	Tehnologija proizvodnje integrisanih kola sa veoma velikim stepenom integracije (eng. <i>Very Large Scale Integration</i>)
PDT –	Parcijalna opornost na defekte (eng. <i>Partial Defect Tolerant</i>)
BP –	Bitske ravni (eng. <i>Bit-Plane</i>)
VHDL –	Jezik za opis hardvera (eng. <i>Very high speed circuit Hardware Definition Language</i>)
DSP –	Digitalna obrada signala (eng. <i>Digital Signal Processing</i>)
SNR –	Odnos signal – šum (eng. <i>Signal to Noise Ratio</i>)
FIR –	Sistem sa konačnim impulsnim odzivom (eng. <i>Finite Impulse Response</i>)
IIR –	Sistem sa beskonačnim impulsnim odzivom (eng. <i>Infinite Impulse Response</i>)
HDL –	Jezik za opis hardvera (eng. <i>Hardware Description Language</i>)
SFG –	Graf toka signala (eng. <i>Signal Flow Graph</i>)
DFG –	Graf toka podataka (eng. <i>Data Flow Graph</i>)

DG –	Graf zavisnosti (eng. <i>Dependence Graph</i>)
SIMD –	Sistem sa jedinstvenom instrukcijom nad višestrukim podacima (eng. <i>Single Instruction Multiple Data - SIMD</i>)
MIMD –	Sistem sa višestrukim instrukcijama nad višestrukim podacima (eng. <i>Multiple Instruction Multiple Data - MIMD</i>)
SRSP –	Strogo regularno sistoličko polje
MAC –	Procesna jedinica koja izvršava operaciju množenja, a rezultat dodaje na prethodni međurezultat (eng. <i>Multiply-ACcumulate</i>)
ASIC –	Integrirana kola specifične namene (eng. <i>Application Specific Integrated Circuits</i>)
PGA –	Programabilno logičko kolo (eng. <i>Programmable Gate Array</i>)
FPGA –	Programabilno polje (eng. <i>Field-Programmable Gate Array</i>)
CLB –	Konfiguracioni logički blok (eng. <i>Configurable Logic Block</i>)
PSM –	Programabilna matrica veza (eng. <i>Programmable Switch Matrix</i>)
LC –	Logička ćelija
LUT –	<i>Look-Up</i> tabela
SoC –	Sistem na čipu (eng. <i>System On Chip</i>)
TMR –	Trostruka modularna redundansa (eng. <i>Triple Modular Redundancy</i>)
NMR –	N-Modularna redundansa (eng. <i>N-Modular Redundancy</i>)
SC –	rezervna komponenta (eng. <i>Spare Component</i>)
SC3 –	hardverska redundansa SC sa dve rezervne kopije (tri modula ukupno)
ME –	Blok za određivanje pomeraja na slici (eng. <i>Motion Estimator</i>) MPEG-2, MPEG-4, i H.26x video kodeka
SNR –	Odnos signal-šum (eng. <i>Signal-to-Noise Ratio</i>)
DCT –	Diskretna kosinusna transformacija (eng. <i>Discrete Cosine Transform</i>)
FET –	Tranzistor sa efektom polja (eng. <i>Field Effect Transistor</i>)

-
- CNT – Grafitne nanocevi (eng. *Carbon NanoTube*)
- SNW – Silikonski nanoprovodnici (eng. *Silicon NanoWires*)
- CAD – Računarski podržano projektovanje (eng. *Computer-Aided Design*)

Glava 1

Uvod

Od samog početka razvoja računarskih arhitektura značajan deo tržišta zauzimaju arhitekture za digitalnu obradu signala (eng. *Digital Signal Processing - DSP*). DSP sisteme od ostalih sistema izdvajaju dve važne karakteristike. To su zahtev za obradom u realnom vremenu, kao i obrada vođena podacima. Naime, kod DSP algoritama program se izvršava nebrojano mnogo puta, tj. ponavlja se u beskonačnoj petlji [1]. Brzinu obrade moguće je povećati eksploatacijom paralelizma na nivou instrukcija algoritma (eng. *Instruction Level Parallelism - ILP*), ili na nivou petlji (eng. *Loop Level Parallelism - LLP*). Primenom neke od tehnika projektovanja, DSP algoritam je moguće preslikati na polje procesnih elemenata i korišćenjem visokog stepena paralelizacije odgovoriti zahtevu za obradom u realnom vremenu [1, 2, 3].

Uz trend povećanja brzine obrade, i u poslednje vreme nezaobilaznog smanjenja potrošnje, praktično od nastanka integrisanog kola postoji i trend smanjenja potrebne površine silicijuma za implementaciju digitalnih sistema. Smanjenje površine na kojoj se implementira arhitektura postiže se unapređenjem tehnologije, odnosno smanjenjem veličine individualnih komponenti koje čine sistem [4]. Posledica većeg stepena integracije je mogućnost implementacije složenijih računarskih arhitektura i DSP algoritama na jednom čipu. U novije vreme mere veličine pojedinih komponenti izražavaju se u broju atoma, odnosno molekula koje zauzimaju [5]. Najznačajniji problemi u procesu fabrikacije ovakvih čipova su varijacije u proizvodnji koje dovode do razlika u istoj seriji proizvoda, stepen defekata koji se javlja, škart, kao i osetljivost samog procesa na interne i eksterne smetnje. Ovakav trend će po svemu sudeći smanjiti efektivnu ekonomsku isplativost budućih tehnologija. Trend razvoja tehnologije nameće zaključak da će proizvodnja integrisanih kola uskoro dostići nivo od više desetina milijardi tranzistora po čipu, među kojima je par hiljada neispravnih [5, 6, 7]. Proizvodnja čipa sa 100% is-

pravnim komponentama i vezama postaće veoma skupa. Uz trend razvoja integrisanih kola, koji je sve bliži fizičkim granicama koje je teoretski trenutnom tehnologijom moguće postići, projektanti će morati da ovu činjenicu uvrste u projektne zahteve i na arhitekturnom nivou [5].

Ekonomska isplativost kompleksnih računarskih arhitektura u tehnologiji sa veoma velikim stepenom integracije dovodi klasične tehnike projektovanja u pitanje, tako da je neophodno istražiti alternativne metode [7]. Uz povećanje stepena integracije raste i verovatnoća pojave defekata. Defekt se može definisati kao fizička neispravnost, nepotpunost, ili oštećenje koje se javlja unutar neke hardverske ili softverske komponente. Greška je eventualna manifestacija defekta, ili nekog štetnog spoljnog uticaja. Konačno, ako greška, prouzrokovana defektom, rezultira time da sistem neku svoju funkciju izvršava pogrešno, kaže se da je došlo do otkaza sistema. Suštinski, otkaz je neizvršavanje neke akcije na način na koji bi trebalo, ili kako se to očekuje [8, 9].

Koncept izgradnje sistema od delova koji mogu biti inicijalno neispravni, privremeno neispravni, ili koji mogu postati neispravni nakon određenog vremena upotrebe nije nov. Ovaj problem razmatran je još 40-tih godina prošlog veka u radovima Von Neumanna, Gödela i Kleina [10]. Veliki broj metoda projektovanja arhitektura otpornih na otkaze razvijen je počev od 1960-tih godina. Otpornost arhitekture na otkaze (eng. *Fault Tolerance - FT*) predstavlja osobinu sistema da spreči pojavu greške, a samim tim i mogućnost otkaza sistema usled pojave defekta [8, 9, 11]. Pod ispravnim radom podrazumeva se da je izlaz sistema identičan izlazu kada su sve komponente sistema ispravne. Ove osobine uglavnom se postižu uvođenjem dodatnih, redundantnih komponenti. Sistemi koji se koriste u hazardnim uslovima, kao na primer u nuklearnim reaktorima, avionima i svemirskim stanicama su, pre svega zbog uticaja zračenja, u velikoj meri podložni greškama. Održavanje i popravka takvih sistema je vrlo skupa i zahteva dosta vremena. Zbog toga, pored performansi, otpornost na otkaze, koja predstavlja mogućnost sistema da korektno funkcioniše uprkos pojavi defekata, postaje vrlo važno pitanje [12].

U mnogim DSP algoritmima određene greške ne dovode do otkaza sistema, odnosno moguće je tolerisati greške na izlazu sistema, pod uslovom da se nalaze u određenim granicama [7, 13, 14]. Takve sisteme nazivamo sistemima tolerantnim na greške (eng. *Error Tolerant - ET*). Kod ovih sistema, za razliku od FT sistema, reč "otporni" u nazivu zamenjena je rečju "tolerantni". Ovo je i glavna odlika novog pravca projektovanja arhitektura kod kojih je moguće tolerisati određene tipove grešaka [13]. Drugim rečima, ET je koncept kod koga je projektant svestan mogućnosti postojanja defekta koji uzrokuje pojavu greške, zna njenu poziciju i uticaj, i ne menja svojstva

arhitekture kako bi otklonio eventualni nastanak ovakve greške, jer je primena sistema takva da greška neće bitno uticati na izlaze sistema. Multimedijalni sistemi su primer sistema tolerantnih na greške [13, 15]. Kod multimedijalnih sistema uobičajeno je da projektanti koriste mogućnosti čoveka da rekonstruiše informaciju na osnovu signala slabijeg kvaliteta. Svi algoritmi za kodiranje video signala koji uvode i neki nivo kompresije manje ili više uspešno eksploatišu ovu činjenicu [16, 17, 18]. Na ovaj način vrši se ušteda u propusnom opsegu potrebnom za prenos informacije, ili smanjuje obim hardvera i time postiže, pored ostalog, niža cena proizvodnje.

Interesantno pitanje je: ukoliko neki uređaj za procesiranje signala ima manji hardverski defekt, da li će i dalje biti dovoljno dobar za krajnjeg korisnika? Ukoliko je i u prisustvu defekta dovoljno dobar za krajnjeg korisnika, ovakav uređaj pre može biti prodat, umesto da bude odbačen kao škart [13]. Ublažavanje zahteva za 100% ispravnim uređajima i vezama značajno može smanjiti cenu proizvodnje i testiranja [19].

U cilju povećanja ekonomske isplativosti fabrikacije arhitekture u VLSI (eng. *Very Large Scale Integration*) tehnologiji, ili u nano-tehnologiji, gde su problemi još izraženiji, autor u ovom radu predlaže primenu FT metoda samo nad delom ET sistema, koji je definisan kao najznačajniji za konkretnu primenu, na osnovu puteva prostiranja greške [14, 20]. Ovakav kompromis dveju tehnika uvodi novi stepen slobode kod projektovanja sistema i rezultuje arhitekturom za koju se kaže da je parcijalno oporna na defekte (eng. *Partial Defect Tolerance - PDT*) [20].

Kako bi se definisale greške nastale usled defekata i formalno postavile osnovne tehnike za analizu propagacije grešaka, u radu će biti definisana metrika otkaza sistema. Otkaz sistema će biti precizno definisan u odnosu na Hamingovu i Euklidsku metriku, a parcijalna visokopouzdanost definisana kao osobina arhitekture za izabranu metriku [20]. Parcijalna visokopouzdanost biće definisana formalnim matematičkim jezikom, a uz definiciju parcijalne visoke pouzdanosti biće predložene i sistematske tehnike za markiranje dela arhitekture od najvećeg značaja za datu primenu [14]. Tehnika za projektovanje parcijalno visokopouzdanih polja biće ilustrovana na primeru semi-sistoličke arhitekture BP FIR filtra [14, 21, 22]. Matematički aparat i postupak za analizu arhitekture biće izložen i dat u formi algoritma. Na primeru relativno složene topologije BP filtra biće ilustrovan postupak za projektovanje parcijalno visokopouzdanih sistema.

Očigledno je da PDT dizajn uvek donosi uštedu resursa u poređenu sa arhitekturom visokopouzdanom u celosti [14]. Međutim, ključno pitanje na koje će u ovom radu biti dat odgovor je da li je, i ako jeste kada je PDT dizajn isplativiji u odnosu na ET dizajn? Formalnim matematičkim jezikom biće definisan prinos ET i PDT sistema [11, 20]. Analiza isplativosti PDT

tehnike projektovanja u odnosu na ET tehniku će biti izvedena i detaljno prikazana. Analiza će biti izvedena za polja u opštem obliku, bez obzira na topologiju i izabranu metriku otkaza. U radu će biti dat opšti oblik obrasca za izračunavanje parametara proizvodnog procesa za koje PDT daje veći prinos u odnosu na ET tehniku. Korišćenjem predloženog matematičkog aparata za analizu PDT sistema biće pokazano da za verovatnoće pojave defekata tipične za nano-tehnologiju predloženi PDT pristup porjektovanju arhitektura donosi veću ekonomsku dobit u odnosu na ET pristup.

Matematički aparat za analizu prinosa predložene tehnike biće ilustrovan na primeru ortogonalnog semi-sistoličkog polja BP FIR filtra [20]. Za topologiju BP FIR filtra će biti određena verovatnoća pojave defekta počev od koje PDT tehnika daje veći prinos u odnosu na ET tehniku. Verovatnoća će biti data u formi funkcije kod koje su parametri dimenzije polja.

Kako bi se odgovorilo na pitanje kako topologija polja utiče na isplativost primene PDT metoda, u ovom radu detaljno će biti analizirane različite topologije sistema i pravci prostiranja grešaka kroz njih. U cilju povećanja prinosa fabrikacije, biće razmotrena veličina i pozicija dela arhitekture gde je potrebno primeniti metode visoke pouzdanosti, za zadatu verovatnoću greške procesa proizvodnje i nivo greške koji se u primeni algoritma može tolerisati. Da bi se pojednostavile analitičke operacije nad grafovima u matricnoj reprezentaciji, analiza za Euklidsku metriku biće izvedena u tropskoj algebri. Biće dat set lema i teorema sa dokazima u tropskoj algebri koje opisuju oblike težinskih matrica najkraćih puteva, težinskih mapa uticaja i mapa uticaja grafova. Korišćenjem rezultata dobijenih tropskom algebrom nad grafovima propagacije biće dat postupak projektovanja heksagonalnog parcijalno visokopouzdanog polja za množenje brojeva.

Teoretski rezultati dobijeni projektovanjem parcijalno visokopouzdanih polja različitih topologija biće eksperimentalno provereni. Uz svaki eksperimentalno dobijeni rezultat biće data i teoretki određena vrednost. U cilju implementacije prototipa na FPGA čipu, sva predložena polja će biti opisana u VHDL-u, a koncept parcijalne visoke pouzdanosti će biti ugrađen u odgovarajuće VHDL funkcije.

Naučni doprinos ovog rada obuhvata: uvođenje metrike otkaza, formalnu matematičku definiciju PDT tehnike, definisanje metoda za markiranje najznačajnijeg dela arhitekture u odnosu na Hamingovu i Euklidsku metriku, uvođenje tropske algebre u postupak projektovanja visokopouzdanih sistema, ilustraciju metoda na primeru projektovanja PDT semi-sistoličkog BP FIR filtra, izvođenje opšteg oblika parametara procesa proizvodnje za koje je prinos od primene predložene tehnike pozitivan, ilustracija i analiza metoda na različitim topologijama, proveru metoda u slučaju kompleksnije primene na dva nivoa, primenu PDT metoda u VHDL opisima sa ciljem automatizacije

generisanja PDT polja.

Ovaj rad sadrži sedam glava.

U drugoj glavi biće dat pregled sistema za digitalnu obradu signala. Biće prikazani karakteristični DSP algoritmi i uobičajeni način reprezentacije DSP algoritama. Biće dat kratak pregled operacije konvolucije i korelacije, digitalnog filtriranja i diskretne kosinusne transformacije. Biće opisan način reprezentacije DSP algoritama blok dijagramima, grafom toka signala, grafom toka podataka i grafom zavisnosti. Karakteristične klase i topologije sistoličkih polja i semi-sistoličkih polja će biti opisane. Detalno će biti prikazana implementacija DSP algoritama na sistoličkim i semi-sistoličkim poljima, koja će biti korišćena u narednim glavama kao osnova za projektovanje PDT polja. Biće prikazano 1D jednosmerno i dvosmerno polje za množenje matrice i vektora, ortogonalno semi-sistoličko *bit-plane* polje za digitalno FIR filtriranje i heksagonalno sistoličko polje za množenje brojeva. U cilju ilustracije rezultata implementacije polja na FPGA čipu ukratko će biti predstavljena arhitektura Xilinx Spartan2 FPGA čipa, na kome će biti izvršena implementacija svih polja datih u ovom radu. Rezultati FPGA implementacije osnovnih polja biće dati na kraju druge glave.

Treća glava posvećena je tehnikama za projektovanje visokopouzdanih sistema. Na početku glave biće data uobičajena terminologija koja je u upotrebi kod potencijalno defektnih sistema. Od tehnika za povećanje pouzdanosti sistema detaljno će biti opisana hardverska redundansa, koja je korišćena za projektovanje PDT sistema, a informaciona, vremenska i softverska redundansa biće pomenute radi celovitosti izlaganja. Za hardverske metode će biti data analiza pouzdanosti sistema. Biće definisana minimalna jedinica zamene, i u odnosu na minimalnu jedinicu zamene biće izvedena verovatnoća otkaza celog sistema u zavisnosti od verovatnoće pojave defekta na jednom podsistemu. Poslednji deo glave biće posvećen konceptu tolerancije sistema na greške i nepreciznim izračunavanjima, kao uvodnom delu u projektovanje parcijalno visokopouzdanih sistema. Neprecizna izračunavanja će biti ilustrovana na primeru telefonske sekretarice sa defektnom memorijom.

U četvrtoj, petoj i šestoj glavi biće izloženi originalni rezultati ovog rada. Četvrto poglavlje biće posvećeno formalno-matematičkoj definiciji parcijalne visoke pouzdanosti. Biće uvedena metrika otkaza i formalno definisana kao Hamingova i Euklidska metrika otkaza. Definicija PDT sistema biće data kroz set definicija i lema, ilustrovanih primerima. U okviru lema biće opisane i dokazane osobine neophodne za projektovanje PDT sistema. Tranzitivno zatvaranje, kao operacija neophodna za određivanje uticaja čvorova grafa, detaljno će biti prikazana i ilustrovana na primeru tranzitivnog zatvaranja relativno složene topologije BP FIR filtra. Postupak određivanja tranzitivnog zatvaranja BP arhitekture detaljno će biti prikazan. Tehnika projek-

tovanja parcijalno visokopouzdanih arhitektura biće uobličena u formu algoritma i prikazana dijagramom toka. Na kraju trećeg poglavlja detaljno će biti prikazan postupak projektovanja parcijalno visokopouzdanog BP FIR filtra.

U petoj glavi biće dat odgovor na pitanje o isplativosti predložene tehnike projektovanja. Na primeru će biti pokazano da primena tehnika za povećanje pouzdanosti, u cilju smanjenja uticaja defekta nastalih u procesu proizvodnje, može dovesti do ekonomskih gubitaka. Prvi deo glave biće posvećen definiciji i određivanju prinosa ET i PDT tehnike, dok će u centralnom delu glave biti dat postupak određivanja parametara procesa fabrikacije čipova za koje je prinos fabrikacije sistema u predloženoj tehnici bolji u odnosu na postojeće tehnike projektovanja. Biće formiran opšti oblik obrasca koji daje ovu zavisnost za bilo koju topologiju i obim sistema. Biće pokazano da je za obim sistema kakav je tipičan za nano-tehnologiju, zavisno od topologije sistema, predloženi metod može dati određeni doprinos. Na primeru topologije BP FIR filtra biće ilustrovani rezultati vezani za prinos u fabrikaciji parcijalno visokopouzdanog arhitekture.

Uticaj topologije na prinos fabrikacije parcijalno visokopouzdanog polja biće razmatran je u šestoj glavi. Prvi deo glave biće posvećen jednodimenzionalnim poljima. Za jednosmerno i dvosmerno 1D polje za množenje matrice i vektora biće data analiza uticaja i propagacije različitih tipova grešaka kroz polje. Projektovanje parcijalno visokopouzdanog 1D polja biće izvedeno za izabrane klase defekata koji se mogu javiti u polju. Procedura projektovanja biće primenjena nad jednosmernom i dvosmernom 1D polju. Projektovana PDT polja biće predstavljena DFG-om. Analiza prinosa će biti izvedena. Rezultati FPGA implementacije polja će biti dati. U drugom delu ove glave biće predstavljeno parcijalno visokopouzdanog heksagonalno polje za množenje brojeva. Polje će biti projektovano u odnosu na Hamingovu i Euklidsku metriku otkaza. Biće data analiza propagacije grešaka nastalih od različitih tipova defekata. PDT polje projektovano u odnosu na Hamingovu metriku će biti analizirano sa aspekta dva tipa defekata. Da bi se pojednostavile analitičke operacije nad grafovima u matričnoj reprezentaciji, analiza za Euklidsku metriku biće izvedena u tropskoj algebri. Biće dat pregled osnovnih definicija tropske algebre i izveden set lema koje povezuju tropsku algebru sa algoritmima za obilazak grafova. U tropskoj algebri će biti izvedeni opšti oblici mapa težinskih uticaja greške date topologije. Heksagonalno PDT polje će biti predstavljeno DFG-om. Analiza uticaja tolerantnosti aplikacije na visokopouzdanog deo PDT arhitekture biće detaljno prikazana. Projektovano polje će biti opisano u VHDL-u i implementirano na FPGA čipu. Rezultati implementacije će biti dati tabelarno i grafički.

Glava 2

Digitalna obrada signala

Sistemi za digitalnu obradu signala imaju mnoge prednosti u odnosu na analogne sisteme. Digitalni sistemi su robusniji u odnosu na analogne u pogledu dozvoljenih temperaturnih varijacija, kao i u odnosu na ostale izvore šumova. Preciznost digitalnih reprezentacija moguće je kontrolisati brojem cifara u reprezentaciji digitalnog signala. Osim toga, DSP tehnike je moguće primeniti na taj način da se šum i greške nastale u sistemu eliminišu. Nasuprot ovome, kod analognih sistema šumovi i greške nastale u sistemu se pojačavaju zajedno sa signalom. Prednost digitalnih signala u odnosu na analogne je u tome da je digitalne signale moguće pamtiti, prenositi i obrađivati praktično bez pojave grešaka. Analogna obrada je neizbežna kod sistema koji zahtevaju ekstremno malo zauzeće resursa na čipu i ekstremno nisku potrošnju koja se ulaže u obradu signala. Mnogi kompleksni sistemi realizuju se u vidu digitalnih sistema sa visokom preciznošću i pouzdanošću, i visokim odnosom signala i šuma (eng. *Signal to Noise Ratio - SNR*) [1].

DSP sistemi mogu se realizovati korišćenjem programabilnih procesora ili specijalno projektovanim VLSI kolima. Uvek je cilj maksimizirati performanse uz očuvanje troškova na što nižem nivou. U kontekstu projektovanja digitalnih kola, performanse se mere količinom iskorišćenih hardverskih resursa (površina ili oblast na čipu); brzinom izvršavanja algoritma, koja zavisi od propusnosti samog sistema (eng. *throughput*); količinom utrošenje energije za izvršenje određenog izračunavanja. Kod DSP sistema koristi se i dodatna mera za ocenu kvaliteta sistema. Mera kvaliteta sistema koja se uvodi je preciznost sistema, tj. stepen kvantizacije signala. Ova mera se uvodi i kod digitalnog filtriranja, jer su u nekim slučajevima digitalnih filteri sa velikom greškom zaokruživanja neupotrebljivi [1, 23, 22].

Dve važne karakteristike izdvajaju DSP sisteme od ostalih sistema. To su zahtev za obradom u realnom vremenu, kao i obrada vođena podacima. Ukoliko je propusnost sistema manja od brzine uzorkovanja signala, tada

nove vrednosti moraju biti memorisane (baferovane), što u krajnjoj instanci zahteva bafer neograničene veličine. Druga osobina implicira da je međuoperacije moguće izvršiti tek kada su podaci dostupni, tako da su sistemi globalno sinhronizovani tokom podataka, a lokalno sistemskim taktom.

U ovom poglavlju dat je pregled tipičnih DSP algoritama. Izloženi su ciljevi i izazovi u projektovanju DSP sistema, kao i uobičajena notacija i reprezentacija DSP algoritama. U poglavlju 2.1 prikazano je nekoliko tipičnih DSP algoritama. Poglavlje 2.2 posvećeno je reprezentaciji DSP algoritama, dok je u poglavlju 2.3 data klasifikacija procesorskih polja. U cilju ilustracije implementacije DSP algoritama na procesorskim poljima prikazana su procesorska polja koja su korišćena u narednim poglavljima ove disertacije. Poglavlje 2.4 bavi se implementacijom procesorskih polja na FPGA arhitekturi. FPGA implementacija polja korišćena je u toku izrade ovog rada za praktičnu proveru teoretskih rezultata.

2.1 DSP algoritmi

Neki DSP algoritmi i njihova tipična primena prikazani su u tabeli 2.1 [1, 24]. U ovom poglavlju prikazano je par ključnih DSP izračunavanja u koja se ubrajaju konvolucija, korelacija, digitalno filtriranje i diskretna kosinusna transformacija.

2.1.1 Konvolucija

Matematički posmatrano, konvolucija je binarna operacija, koja funkcije $f(t)$ i $g(t)$ preslikava u funkciju $(f * g)(t)$. Rezultujuća funkcija posmatra se kao modifikovana verzija originalnih funkcija i koristi se u analizi funkcija. Konvolucija je originalno bila poznata pod nazivom *faltung*, ili prevedeno sa nemačkog, savijanje. Operaciju konvolucije prvi je predstavio nemački matematičar Gustav Doetsch [25].

Definicija 2.1 (Konvolucija) *Konvolucija funkcija f i g označava se sa $(f * g)$ i definisana je kao*

$$(f * g)(t) \stackrel{\text{def}}{=} \int_{-\infty}^{\infty} f(\tau) \cdot g(t - \tau) d\tau. \quad (2.1)$$

Vizuelizacija operacije konvolucije prikazana je na slici 2.1. Koraci konvolucije, dati na slici 2.1, su: (1) predstavljanje funkcija u smislu nove promenljive τ ; (2) transponovanje funkcije $g(t) \rightarrow g(-t)$; (3) dodavanje vremenskog pomeraja τ koji će se kretati po τ osi; (4) početi od $-\infty$ i pomerati

τ do $+\infty$, na mestima gde se funkcije preklapaju odrediti integral proizvoda u toj tački. Konvolucija funkcija $f * g$ (slika 2.1 a i b) prikazana na slici 2.1(f).

Ukoliko je funkcija $f(t)$ jedinični impuls $h(t)$, tada je rezultat ovog procesa sama funkcija $g(t)$ koja se u tom slučaju naziva jedinični impulsni odziv sistema.

Definicija 2.2 (Diskretna konvolucija) *Konvolucija dveju diskretnih sekvenci $h(n)$ i $x(n)$ definiše se na sledeći način:*

$$y(n) = x(n) * h(n) = \sum_{i=-\infty}^{\infty} x(i) \cdot h(n - i). \quad (2.2)$$

Rezultat funkcije (2.2) u vremenskom trenutku n , $y(n)$ predstavlja proizvod odgovarajućih elemenata niza $x(i)$ i $h(-i + n)$, sumiran na intervalu $-\infty < i < \infty$.

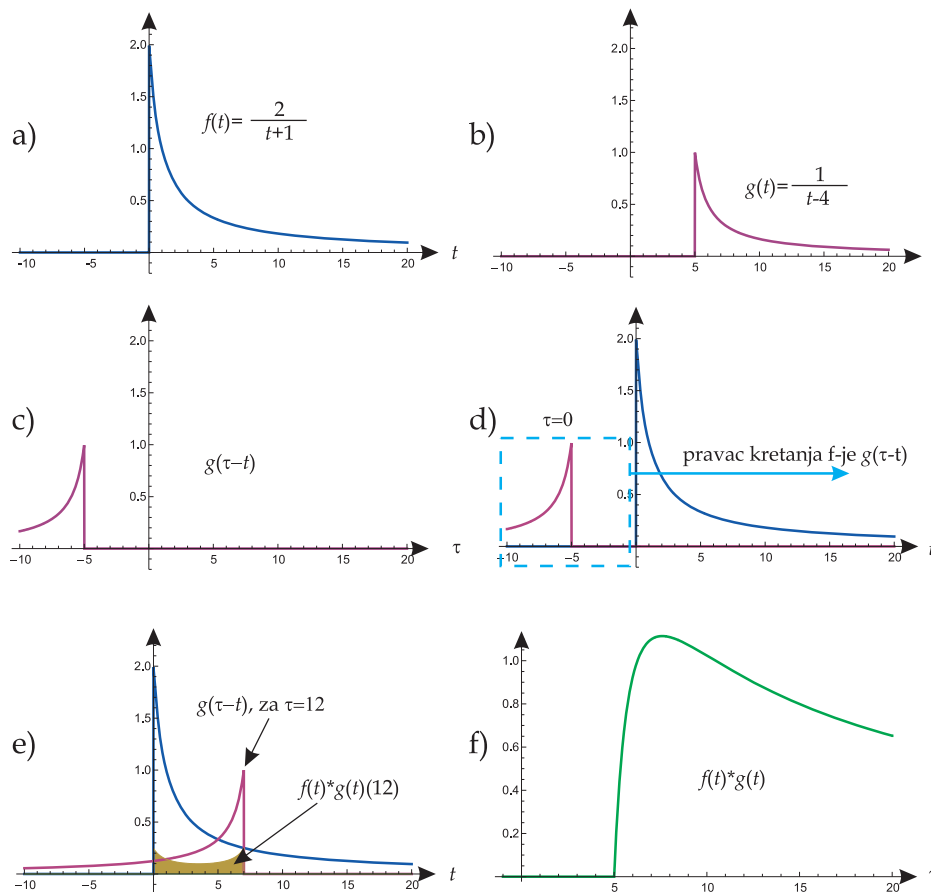
Konvolucija se koristi u analizi linearnih, vremenski invarijantnih sistema, koji su u potpunosti definisani svojim jediničnim impulsnim odzivom $h(n)$. Jedinični odziv dobija se kada se na ulaz sistema dovede Dirakov impuls $\delta(t)$ [26]. Znajući jedinični impulsni odziv sistema, izlazna sekvenca

DSP algoritam	Primena
Kodiranje i dekodiranje govora	Mobilna telefonija, sistemi za komunikaciju, multimedija, zaštita i kriptografija
Kriptovanje i dekriptovanje govora	Mobilni telefoni, personalni uređaji za komunikaciju, digitalni bežični telefoni, sigurne komunikacije
Prepoznavanje glasa	Napredni korisnički interfejsi, multimedijalne radne stanice, roboti i automatizovane aplikacije, mobilni telefoni, komunikacioni sistemi, bežični telefoni
Sinteza govora	Multimedijalni računari, napredni korisnički interfejsi, robotika
Algoritmi za pripremu signala za prenos	Mobilni telefoni, komunikacioni sistemi, bežični sistemi, emitovanje digitalnog radio i TV signala, računarske komunikacije, bežični prenos podataka, navigacija, modemi, sigurne komunikacije
Uklanjanje šumova i smetnji	Profesionalna audio obrada
Obrada zvuka	Audio aplikacije, profesionalna audio obrada
Obrada slika	Digitalne kamere, obrada digitalnih video signala, multimedija, video aplikacije
Zračenje	Navigacija, radar, sonar, obaveštajni signali
Uklanjanje eha	Sistem zvučnik i mikروفon, modemi, telefonski aparati

Tabela 2.1: Primeri tipičnih DSP algoritama i njihove primene

linernih, vremenski invarijantnih sistema može se odrediti kao konvolucija ulazne sekvence $x(n)$ i jediničnog impulsnog odziva $h(n)$.

Kada jedinični impulsi odziv sistema sadrži konačan broj elemenata različitih od nule sistem se naziva sistem sa konačnim odzivom (eng. *Finite Impulse Response - FIR*). U suprotnom, sistem se naziva sistem sa beskonačnim odzivom (eng. *Infinite Impulse Response - IIR*). Na primer, sistem za određivanje prosečne vrednosti koristi se za analizu u mnogim oblastima tehnike. Ovaj sistem određuje prosečnu vrednosti dela sekvence podataka, gde je deo čiji se prosek određuje određen parametrima, a svakom podatku



Slika 2.1: Vizuelizacija konvolucije: a) funkcija $f(t)$; b) funkcija $g(t)$; c) predstavljanje funkcije g u zavisnosti od promenljive τ ; d) funkcije f i g za pomeraj $\tau = 0$, integral proizvoda je 0; e) dalje pomeranje funkcije g , prikazano za $\tau = 12$, presek je osenčan i predstavlja vrednost konvolucije u tački $\tau = 12$; f) konvolucija funkcija f i g

Literatura

- [1] Keshab K. Parhi. *VLSI Digital Signal Processing Systems: Design and Implementation*. John Wiley & Sons, 1999.
- [2] Albert Y. Zomaya. *Parallel and Distributed Computing Handbook*. McGraw-Hill Professional, 1996.
- [3] K. Hwang and F. Briggs. *Computer Architectures and Parallel Processing*. McGraw Hill, New York, 1984.
- [4] S. Zhang, M. Choi, and N. Park. Defect characterization and yield analysis of array-based nanoarchitecture. In *Proceedings on the 4th IEEE Conference on Nanotechnology*, pages 50–52, Munich, Germany, August 2004.
- [5] International Technology Roadmap for Semiconductors. Recommendations. <http://public.itrs.net/>, 2001.
- [6] Cristian Constantinescu. Trends and challenges in VLSI circuit reliability. pages 14–19, July-August 2003.
- [7] M. Breuer, S. Gupta, and T. Mark. Defect and error tolerance in the presence of massive numbers of defects. *IEEE Transactions on Design & Test of Computers, Vol. 21*, pages 216–227, 2004.
- [8] I. Koren and C. Krishna. *Fault-Tolerant Systems*. Morgan Kaufmann, San Francisco, US, March 2007.
- [9] B. W. Johnson. *Fault Tolerance: The Electrical Engineering Handbook*. CRC Press, U.S., 1993.
- [10] J. von Neumann. *Automata Studies*, chapter Probabilistic Logic and Synthesis of Reliable Organisms from Unreliable Components, pages 43–98. Princeton University Press, Princeton, US, C. Shannon and J. McCarthy edition, 1956.

- [11] A. DeHon. *Reconfigurable Computing: The Theory and Practice of FPGA-Based Computing*, chapter Defect and Fault Tolerance. Morgan Kaufmann, San Francisco, US, 2008.
- [12] Barry W. Johnson. *Design and Analysis of Fault-Tolerant Digital Systems*. Addison-Wesley Publishing Company, 1989.
- [13] M. Breuer. Multimedia applications and imprecise computation. In *Proceedings on the 8th Euromicro conference on Digital System Design, Euromicro*, pages 0–7695–2433–8/05, Porto, Portugal, September 2005.
- [14] Vladimir Ćirić, Jelena Kolokotronis, and Ivan Milentijević. Partial error-tolerance for bit-plane FIR filter architecture. *International Journal of Electronics and Communication, Elsevier Science (AEU)*, Vol. 63:398–405, May 2009.
- [15] M. A. Breuer and H.H. Zhu. Error-tolerance and multi-media. In *International Conference on Intelligent Information Hiding and Multimedia Signal Processing, IHH-MSP '06.*, pages 521 – 524, Pasadena, CA, USA, 2006.
- [16] I. Richardson. *H.264 and MPEG-4 Video Compression Video Coding for Next Generation Multimedia*. John Wiley & Sons, In., New York, USA, 2003.
- [17] Vladimir Ćirić and Ivan Milentijević. Area-time tradeoffs in H.264/AVC deblocking filter design for mobile devices. In *Proceedings of IEEE Conference on Signal Processing and its Applications - ISSPA 2007*, pages 1–4, Sharjah, United Arab Emirates, February 2007.
- [18] Vladimir Ćirić and Ivan Milentijević. Design of area-time efficient H.264/AVC deblocking filter for mobile devices. In *Proceedings of 51st ETRAN Conference*, pages 1–4, Herceg Novi - Igalo, Montenegro, Jun 2007.
- [19] T.-Yu Hsieh, K.-Jong Lee, and M. Breuer. Reduction of detected acceptable faults for yield improvement via error-tolerance. In *Proceedings of the conference on Design, automation and test in Europe*, pages 1599 – 1604, Nice, France, 2007.
- [20] Vladimir Ćirić, Aleksandar Cvetković, and Ivan Milentijević. Yield analysis of partial defect tolerant bit-plane array. *Elsevier, Int. J., Computers and Mathematics with Applications*, Vol. 59(Number 1):98–107, January 2010.

- [21] Vladimir Ćirić and Ivan Milentijević. Configurable folded array for FIR filtering. *Journal of Systems Architecture, An International Journal, Elsevier Science*, Vol. 54(Issue 1-2):177–196, January/February 2008.
- [22] T. Noll. Semi-systolic maximum rate transversal filters with programmable coefficients. In *Workshop of Systolic Architectures*, pages 103–112, Oxford, 1986.
- [23] B. Parhami and D. Kwai. Parallel architectures and adaptation algorithms for programmable FIR digital filters with fully pipelined data and control flows. 2003.
- [24] M. Renfors and Y. Neuvo. The maximum sampling rate of digital filters under hardware speed constraints. *IEEE Trans. on Circuits and Systems*, CAS-28(No. 3):196–202, March 1981.
- [25] E. Hewitt and K. Ross. Abstract harmonic analysis. analysis on locally compact abelian groups. *Die Grundlehren der mathematischen Wissenschaften, Band 152 Springer-Verlag, New York-Berlin 1970*, Volume 2, Structure and analysis for compact groups:771–780, 1970.
- [26] K.K.Parhi and D.G. Messerschmitt. Static rate-optimal scheduling of iterative data-flow programs via optimum unfolding. *IEEE Trans. on Computers*, Vol. 40(No. 2):178–195, February 1991.
- [27] P. R. Wallace. *Mathematical analysis of physical problems*. Courier Publications, Dover, UK, 1984.
- [28] R. Gonzalez and R. Woods. *Digital Image Processing*. Prentice-Hall, New Jersey, 2002.
- [29] A. Oppenheim and R. Schaffer. *Discrete-Time Signal Processing*. Prentice Hall, 1989.
- [30] P. Hilfinger. A high-level language and silicon compiler for digital signal processing. In *Proc. of IEEE Custom Integrated Circuits Conference*, pages 213–216, 1985.
- [31] H. De Man, J. Rabaey, P. Six, and L. Claesen. Cathedral-II: a silicon compiler for digital signal processing. *IEEE design and testing*, Vol. 3(No. 6):13–25, Dec. 1986.
- [32] Volnei A. Pedroni. *Circuit Design with VHDL*. Massachusetts Institute of Technology, Cambridge, Massachusetts, London, England, 2004.

- [33] R. Crochiere and A. Oppenheim. Analysis of linear digital networks. In *Proc. of the IEEE*, volume Vol. 63, pages 581–595, 1975.
- [34] K.K. Parhi. Algorithm transformation techniques for concurrent processors. In *Proceedings of the IEEE*, volume Volume 77, pages 1879–1895, Dec 1989.
- [35] Ivan Milentijević, Igor Nikolić, Oliver Vojinović, Vladimir Ćirić, and Teufik Tokić. Folded bit-plane architectures. In *Proceedings of the 2nd International Conference on Informatics and Information Technology - CIIT*, pages 282–292, Molika, Macedonia, December 2001.
- [36] Ivan Milentijević, Igor Nikolić, Vladimir Ćirić, Oliver Vojinović, and Teufik Tokić. Synthesis of folded fully pipelined bit-plane architecture. In *Proc. 22th International Conference on Microelectronics (MIEL 2002)*, Vol 2, pages 683–686, Nis, Serbia, May 2002.
- [37] Ivan Milentijević, Teufik Tokić, Igor Nikolić, Oliver Vojinović, and Vladimir Ćirić. Synthesis of folded FIR filter architecture with re-ordered partial products. In *Proceedings of a Workshop on Computational Intelligence and Informational Technologies*, pages 155–160, Nis, June 2001.
- [38] M. Stojcev, T. Tokic, and I. Milentijevic. The limits of semiconductor technology and oncoming challenges in computer microarchitectures and architectures. *Facta Universitatis, Ser. Electronics and Energetics*, Vol. 17:285–312, 2004.
- [39] H. T. Kung. Notes on vlsi computation. *Parallel Processing Systems*, Cambridge University Press, New York, pages 339–356, 1983.
- [40] H. T. Kung. Why systolic architectures? *IEEE Computer*, Vol. 15:37–46, 1982.
- [41] H. T. Kung and C. E. Leiserson. Systolic arrays (for VLSI). Tech. report CS-79-103, Carnegie Mellon University, Pittsburgh, Pa., 1978.
- [42] Y-C. Lin and F-C. Lin. Classes of systolic arrays for digital filtering. *Int. J. Electronics*, Vol. 70, No. 4:729–737, 1991.
- [43] Allen D. Malony. Regular processor arrays. In *Proceedings on International Conference on Parallel Processing*, page Rpt. No. 734, St. Charles, Illinois, August 1988.

- [44] Kung S. Y. *VLSI Array Processors*. Prentice Hall, Englewood Cliffs, N.Y., 1988.
- [45] J. Smith. *Introduction to Digital Filters with Audio Applications*. Center for Computer Research in Music and Acoustics (CCRMA), Stanford University, California, USA, May 2004.
- [46] D. Gibbon. *Convolution: filtering*. Acoustic Phonetics and Speech Technology, University of Bielefeld, Germany, May, 1996.
- [47] P. Denyer and D. Renshaw. *VLSI Signal Processing: A Bit-Serial Approach*. Addison-Wesley, 1985.
- [48] J. Hein. *Discrete Mathematics*. Jones & Bartlett Publishers, 2nd edition, August 2002.
- [49] Branko Grünbaum and Geoffrey Shephard. Tilings by regular polygons. *Mathematics Magazine*, Vol. 50(No. 5):227–247, Nov., 1977.
- [50] Emina Milovanović and Vladimir Ćirić. *Praktikum za laboratorijske vežbe iz Paralelnih računarskih sistema*. Elektronski fakultet u Nišu, Niš, Srbija, 2004.
- [51] Ivan Milentijević, Vladimir Ćirić, Oliver Vojinović, and Teufik Tokić. Folded semi-systolic FIR filter architecture with changeable folding factor. *Neural, Parallel & Scientific Computations, Dynamic Publishers, Atlanta*, Vol. 10, No 2:235–247, 2002.
- [52] Ivan Milentijević, Vladimir Ćirić, Teufik Tokić, and Oliver Vojinović. Folded bit-plane FIR filter architecture with changeable folding factor. In *Proceedings of EUROMICRO Conference on Digital System Design - DSD 2002*, pages 45–52, Dortmund, Germany, September 2002.
- [53] Vladimir Ćirić and Ivan Milentijević. Coefficient bit reordering method for configurable FIR filtering on folded bit-plane array. In *Proceedings on 8th EUROMICRO Conference on Digital System Design - DSD*, pages 135–138, Porto, Portugal, September 2005.
- [54] Ivan Milentijević and Vladimir Ćirić. Synthesis of coefficient bit reordering module for folded bit-plane arrays. In *Proceedings of 4rd Int. Conf. CiiT*, pages 332–342, Molika, Macedonia, December 2003.
- [55] I.Milentijevic, I.Milovanovic, E.Milovanovic, M.Tosic, and M.Stojcev. Two-level pipelined systolic arrays for matrix-vector multiplication.

- Journal of Systems Architecture, The Euromicro Journal*, Vol. 44(No. 5):383–388, 1998.
- [56] I.Milentijevic, I.Milovanovic, E.Milovanovic, and M.Stojcev. The design of optimal planar systolic arrays for matrix multiplication. *Computers Mat. Applic*, Vol. 33(Mo. 6):17–35, 1997.
- [57] I.Milovanovic, E.Milovanovic, I.Milentijevic, and M.Stojcev. Designing of processor-time optimal systolic arrays for band matrix-vector multiplication. *Computers Math. Applic*, Vol. 32(No. 2):21–31, 1996.
- [58] E.Milovanovic, I.Milentijevic, and I.Milovanovic. Designing of processor-time optimal hexagonal systolic array for matrix multiplication. *Computers and Artificial Intelligence*, Vol. 16(No. 1):1–11, 1997.
- [59] M.Tosic, I.Milentijevic, and E.Milovanovic. Unidirectional two-way pipelined linear systolic array for matrix-vector multiplication. *Facta Universitatis, Nis, Ser. Math. Inform*, Vol. 9(No. 11):129–142, 1996.
- [60] Ivan Mielntijevic. *Projektovanje visoko pouzdanog semi-sistoličkog polja sa cifarsko-serijskim prenosom podataka za realizaciju konvolucije*. Magistarski rad, Elektronski fakultet u Nišu, 1993.
- [61] Vladimir M. Ciric. *Projektovanje savijenih semi-sistoličkih polja za FIR filtriranje*. Magistarski rad, Elektronski fakultet u Nišu, 2005.
- [62] Bagad V. S. *VLSI design*. Technical Publications Pune, Pune, India, 2009.
- [63] Xilinx inc. Spartan-II FPGAs: Spartan-II architecture. Xilinx Products and Services, Silicon Solutions, USA, http://www.xilinx.com/xlnx/xil_prodcatt_product.jsp?iso...7862, 2001.
- [64] D. Phatak and I. Koren. Complete and partial fault tolerance of feed-forward neural nets. *IEEE Transactions on Neural Networks*, Vol. 6, Issue 2:446–456, Mar 1995.
- [65] I.Milentijevic, D.Maksimovic, M.Tosic, and M.Stojcev. Fault - tolerant semi-systolic convolver of type f based on digit - serial arithmetic. In *Preprints of Synopsis Papers of 1st Balcan IFAC-type Conf. on Applied Automatic Systems*, pages 27–29, Ohrid, Macedonia, September 1993.

- [66] M. Breuer. Intelligible test techniques to support error-tolerance. In *Proceedings on the 13th Asian Test Symposium (ATS 2004)*, pages 0–7695–2235–1/04, IEEE Computer Society, 2004.
- [67] Michael Haselman and Scott Hauck. The future of integrated circuits: A survey of nanoelectronics. *Proceedings of the IEEE*, Vol. 98, Issue 1:11–38, January 2010.
- [68] Jude Rivers and Prabhakar Kudva. Reliability challenges and system performance at the architecture level. *Design & Test of Computers, IEEE*, Volume 26, Issue 6:62 – 73, Nov.-Dec. 2009.
- [69] Gordon Moore. Cramming more components into integrated circuits. *Electronics*, vol. 38, no. 8, 1965.
- [70] Vančo Litovski and Slobodan Lazović. *Osnovi elektronike*. Čuperak plavi, Elektronski fakultet u Nišu, 1996.
- [71] S. Iijima. Helical microtubules of graphitic carbon. *Nature*, vol. 354, no. 6341:56–58, 1991.
- [72] C.L. Brown et al. Introduction of catenanes into langmuir film and langmuir-blodgett multilayers. a possible strategy for molecular information storage materials. vol. 16, no. 4:1924–1930, 2000.
- [73] Tatjana Nikolić. *Projektovanje kombinacionih i sekvencijalnih mreža sa samoproverom na osnovu VHDL opisa*. Magistarski rad, Elektronski fakultet u Nišu, 2005.
- [74] Daniel P. Siewiorek and Robert S. Swartz. *Reliable Computer Systems: Design and Evaluation*. Bedford, MA: Digital Press, 1992.
- [75] Luis Entrena, Celia López, and Emilio Olías. Automatic generation of fault tolerant VHDL designs in RTL. In *Forum on Design Languages, FDL*, Lyon, France, Septembre 2001.
- [76] P.K. Lala. *Self-checking and fault-tolerant digital system design*. Morgan Kaufman Publishers, San Francisco, 2001.
- [77] K. De, C. Natarajan, D. Nair, and P. Banerjee. RSYN: A system for automated synthesis of reliable multilevel circuits. *IEEE Trans. on VLSI Systems*, Vol. 2, No. 2:184–195, June 1994.

- [78] Chaohuang Zeng, Nirmal R. Saxena, and Edward J. McCluskey. Finite state machine synthesis with concurrent error detection. In *Proceedings IEEE International Test Conference*, pages 672–679, USA, 27-30 September 1999.
- [79] N. Stojanovic, E. Milovanovic, I. Stojmenovic, I. Milovanovic, and T. Tokic. Mapping matrix multiplication algorithm onto fault-tolerant systolic array. *Elsevier, Computers & Mathematics with Applications*, Volume 48, Issues 1-2:275–289, July 2004.
- [80] Dhiraj K. Pradhan. *Fault-Tolerant Computer System Design*. Prentice Hall, U.S., 1996.
- [81] J. Bernoulli. *Ars Conjectandi*. Impensis thurnisiorum, Basel, Switzerland, 1713.
- [82] M. H. Azadmanesh and R. M. Kieckhafer. Exploiting omissive faults in synchronous approximate agreement. *IEEE Trans. on Computers*, Vol. 49(No. 10):1031–1042, October 2000.
- [83] O. Port. Chips that thrive on uncertainty. *Business Week Online*, March 26th, 2005.
- [84] D. Ernst et al. Razor: Circuit-level correction of timing errors for low-power operation. *IEEE Micro*, Vol. 24(No.6):10–20, November/December 2004.
- [85] M. Sadiku and M. Mazzara. Computing with neural networks. *IEEE Potentials*, pages 14–16, October 1993.
- [86] H. Chung and A. Ortega. System-level fault tolerance for motion estimation. *Tech. report USC-SIPI, #354*, Electrical Eng. Dept., Univ. of Southern California, 2002.
- [87] Vesna Smiljković, Vladimir Ćirić, Milan Pavlović, Nebojša Miletić, and Ivan Milentijević. Model virtuelnog komunikacionog kanala između test aplikacije i simulatora hardvera H.264 video kodeka. In *Proceedings of 52st ETRAN Conference*, Palić, Srbija, Jun 2008.
- [88] H. H. Kuok. Audio recording apparatus using an imperfect memory circuit. United States Patent 5,414,758, May 9, 1995.
- [89] Recommendation ITU-T G.723.1. Speech coders: Dual rate speech coder for multimedia communication transmitting at 5.3 and 6.3 kbit/s. Int'l Telecommunication Union, 1996.

- [90] Stephan Weiss, Robert Stewart, and Gillian Davis. *Noise Reduction in Speech Applications*, chapter Noise and Digital Signal Processing, pages 3–46. CRC Press, U.S., 2002.
- [91] G. Milovanović and R. Đorđević. *Matematika za studente tehničkih fakulteta: I deo*. IP "Nauka", Beograd, Srbija, 1992.
- [92] J. A. Bondy and U. S. R. Murty. *Graph Theory with Applications*. Elsevier Science Publishing Co., Inc., New York, 1976.
- [93] Jay Yellen and Rollins College. *Basic Digraph Models and Properties, in Handbook of Graph Theory (Jonathan L. Gross and Jay Yellen, Eds.)*. CRC Press, Florida, 2003.
- [94] S. Warshall. A theorem of boolean matrices. *Journal of the ACM* 9, pages 11–12, 1962.
- [95] Alfred V. Aho. *Computer Representations of Graphs, in Handbook of Graph Theory (Jonathan L. Gross and Jay Yellen, Eds.)*. CRC Press, Florida, 2003.
- [96] S. Skiena. *Implementing Discrete Mathematics: Combinatorics and Graph Theory with Mathematica*. Addison-Wesley, Reading, MA, 1990.
- [97] Jelena Kolokotronis, Vladimir Ćirić, and Ivan Milentijević. Error significance map for bit-plane FIR filtering array. In *Proc. 26th International Conference on Microelectronics (MIEL 2008)*, volume Vol. 2, pages 429–432, Nis, Serbia, May 2008.
- [98] F. Hausdorff. *Set Theory*. published in 1937, translated by J. R. Aumann, AMS, Bookstore, 2005.
- [99] Vladimir Simić, Vladimir Ćirić, and Ivan Milentijević. Partial defect tolerant 1d array for matrix-vector multiplication. In *Proceedings of 54th ETRAN Conference (RT8.3)*, pages 1–4, Donji Milanovac, 7-10. Jun 2010.
- [100] Jean-Eric Pin. Tropical semirings. *Idempotency, Publ. Newton Inst., Cambridge Univ. Press, Cambridge*, Vol. 11:50–69, 1998.
- [101] Imre Simon. Recognizable sets with multiplicities in the tropical semiring. *Mathematical foundations of computer science, Lecture Notes in Comput. Sci.*, Vol. 324:50–69, 1998.

- [102] Diane Maclagan and Bernd Sturmfels. *Introduction to Tropical Geometry*. University of Warwick, U.K., Nov. 2009.

Dodatak A

VHDL opis funkcije za određivanje mape uticaja greške *bit-plane* arhitekture

```
1  --  Package File Template
2  --
3  --  Purpose: This package defines supplemental types, subtypes,
4  --           constants, and functions
5
6
7  library IEEE;
8  use IEEE.STD_LOGIC_1164.all;
9
10 package My_package is
11
12     constant n : integer := 5;
13     constant m : integer := 2;
14     constant k : integer := 2;
15     constant lo : integer := 4;
16
17     type matrix_A is array ((m*k+1)*(m+lo) -1 downto 0, (m*k+1)*
18                             m+lo) -1 downto 0) of std_logic;
19     type matrix_M is array (m*k-1 downto 0, m+lo-1 downto 0) of
20                             std_logic;
21
22     function ESM (m, k, lo, n: integer) return matrix_M;
23
24 end My_package;
25
26 package body My_package is
27
28     function ESM (m, k, lo, n: integer) return matrix_M is
29         variable A_var : matrix_A := (others => (others => '0'));
30         variable M_var : matrix_M := (others => (others => '0'));
31         variable A_dim : integer := m*k+1;
32         variable G_dim : integer := m+lo;
```

```

33  --- formiranje matrice A ---
34  for i in 0 to A_dim-1 loop
35      for j in 0 to A_dim-1 loop
36          --- formiranje blokova matrice A ---
37              for p in 0 to G_dim-1 loop
38                  for q in 0 to G_dim-1 loop
39                      --- formiranje pojedinih blokova Gc=Ac
40                      if j > i then
41                          if (q+(j-i) >= p) and (p >= q) then
42                              A_var(i*G_dim + p, j*G_dim + q) :=
43                                  '1';
44                          end if;
45                      end if;
46                      --- formiranje pojedinih blokova Gc=Ac
47                  end loop;
48              end loop;
49          --- formiranje blokova matrice A ---
50      end loop;
51  --- formiranje matrice A ---
52
53  --- formiranje matrice M ---
54  for k in 0 to A_dim-2 loop
55      for l in 0 to G_dim-1 loop
56          M_var(k, l) := A_var(k*G_dim + l, G_dim*A_dim-1-n);
57      end loop;
58  end loop;
59  --- formiranje matrice M ---
60
61  return M_var;
62  ---return A_var;
63 end ESM;
64
65 end My_package;

```